



(19)

(11) Publication number:

55033029 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 53104896

(51) Int'l. Cl.: H01L 27/08 H01L 29/10 H01L 29/72

(22) Application date: 30.08.78

(30) Priority:
 (43) Date of application 08.03.80
 publication:
 (84) Designated contracting states:

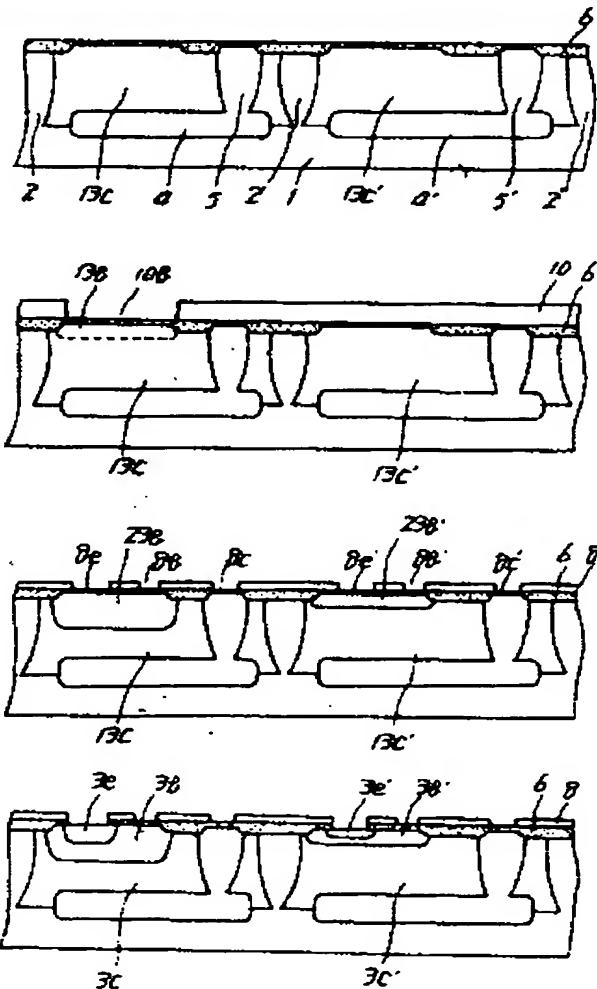
(71) Applicant: TOSHIBA CORP
 (72) Inventor: KOMATSU SHIGERU
 IIDA NORIO
 (74) Representative:

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To integrate two transistors of different frequency band with each other, by providing base regions of different diffusion depth in a semiconductor substrate.

CONSTITUTION: N-type buried regions 4, 4' are produced by diffusion in a P-type silicon substrate 1. An N-type layer is epitaxially grown. The layer is divided into insular regions 13c, 13c' by P-type separating regions 2□2''. An SiO₂ film 6 is coated on the substrate 1. The thickness of the film 6 is large on the peripheral parts of the insular regions 13c, 13c' but small on their central parts. A resist film 10 having a hole 10b is coated on a base resin making part for a first transistor. A P-type ion implantation region 13b is made in the insular region 13c and elongated by heat treatment, thereby producing a P-type base region 23b of large depth. A P-type base region 23b' of small depth for a second transistor is produced in the insular region 13c' in the same manner as the former base region 23b. An Si₃N₄ film 8 is then coated on the entire surface. Holes are opened through the film 8 so that N-type emitter regions 3e, 3e' for the first and the second transistors are produced in the regions 23b, 23b' by diffusion.



COPYRIGHT: (C)1980,JPO&Japio

BEST AVAILABLE COPY

⑯日本国特許庁 (JP) ⑪特許出願公告

⑫特許公報 (B2) 昭59-50227

⑬Int.Cl.³

H 01 L 27/08
29/72

識別記号

府内整理番号

7925-5F
7514-5F

⑩⑪公告 昭和59年(1984)12月7日

発明の数 1

(全6頁)

1

2

⑤半導体装置の製造方法

②特 願 昭53-104896

②出 願 昭53(1978)8月30日
(前置審査に係属中)

⑥公 開 昭55-33029

④昭55(1980)3月8日

⑦発明者 小松茂

川崎市幸区小向東芝町1 東京芝

浦電気株式会社トランジスタ工場
内

⑦発明者 飯田典男

川崎市幸区小向東芝町1 東京芝

浦電気株式会社トランジスタ工場
内

⑦出願人 株式会社東芝

川崎市幸区堀川町72番地

⑧代理人 弁理士 則近憲佑 外1名

⑨参考文献

特開 昭50-2477 (JP, A)

特開 昭52-16186 (JP, A)

特開 昭52-84984 (JP, A)

⑩特許請求の範囲

1 一主面側に第1トランジスタのコレクタ領域となる第1領域及び第2トランジスタのコレクタ領域となる第2領域を有する半導体基体を用意する工程と、前記基体の一主面を被い、各トランジスタのそれぞれのベース領域形成予定部上において薄肉となりその予定部以外の基体表面に埋設して厚肉となる上表面平坦な第1絶縁層を形成する工程と、前記第1領域周辺に存在する第1絶縁層の厚肉部分をマスクとして利用して第1トランジスタのベース領域形成用不純物を第1領域に選択的に導入し第3領域を形成する工程と、前記第2領域周辺に存在する第1絶縁層の厚肉部をマスクとして第2トランジスタのベース領域形成用不純

物を第3領域よりも浅く第2領域に選択的に導入し第4領域を形成する工程と、前記第1絶縁層上にこれとはエッティング速度の異なる第2絶縁層を形成する工程と、前記第2絶縁層に対して各トランジスタのエミッタ領域形成予定部及び電極取出し予定部に対応する開孔を共に形成する工程と、第1トランジスタのエミッタ領域形成予定部に対応する前記開孔をマスクとしてエミッタ用不純物を第3領域に選択的に導入し第5領域を形成する工程と、前記第2トランジスタのエミッタ領域形成予定部に対応する開孔をマスクとしてエミッタ用不純物を第4領域に選択的に導入し第6領域を形成する工程と、前記第2絶縁層の各開孔をマスクとしてこれらに対向する部分の第1絶縁層にエッティングを施して基体表面を露出させる工程と、この基体の各露出面に夫々電極層を形成する工程とを具備して成る半導体装置の製造方法。

発明の詳細な説明

【発明の技術分野】

20 この発明は半導体装置にかかり、特に一つの基板に異なる拡散深さに形成されたベース領域を有するトランジスタを高精度に形成する半導体装置の製造方法に関する。

【発明の技術的背景とその問題点】

半導体装置の製造方法の改良により高精度の制御が可能となり、従来数個のSSI (Small Scale Integration)、MSI (Medium Scale Integration) からシステムが作られていたものが、LSI (Large Scale Integration) として1チップ化できるまでになりつつある。しかし、LSI として1チップ化する際、SSI、MSIでは周波数帯域、あるいは動作機能に応じて作られ機能素子形成がなされているため、単にシステムを1チップ化することはできない。この理由は一例としてトランジスタをあげると、トランジスタのベースは使用周波数帯域に応じて異なるので、SSI、MSIの組み合わせにて構成されていたシステムを

1つのICとしてLSI化するには制約が生ずる。

従来上述の如きLSI化には中間の拡散深さを選定してなされてきたが、各動作機能に合つて接合の深さが形成されてないために次にあげる多くの欠点がある。まず、LSIとして動作周波数帯域の異なる機能を1チップ化する場合、十分な特性を期待するには周波数に応じた拡散の深さを有するトランジスタを作り込むことにあるが、従来システム面および価格面から難かしく実現されなかつた。しかし、システムが複雑になり、しかも特性面で非常に高性能を要求されるに至つて、ベースの深さが異なる素子（トランジスタ、ベース、抵抗等）を一つの基板に形成する必要性が不可欠となつてきた。

〔発明の目的〕

この発明は上記従来の欠点または要望に対し、これを改良し要望に応える半導体装置の製造方法を提供するものである。

〔発明の概要〕

本発明は、一つの半導体基体に拡散深さの異なるベース領域を有するトランジスタを少なくとも1つずつ備えた集積回路半導体装置の製造方法を提供するものである。そして、上記各ベース領域の形成に当つてベース領域予定部において薄肉となりその予定部以外の半導体基体表面に埋設して厚肉となる上面平坦な第1絶縁層を形成し、この厚肉部分をマスクとして利用することによつてベース用不純物導入を行ない第1絶縁層上にこれとはエッチング速度の異なる第2絶縁層を形成しこの第2絶縁層にエミッタ拡散用開孔及び電極形成用開孔を共に形成し、これら開孔を以後のエミッタ拡散や電極形成マスクとして利用することを特徴とする。

〔発明の実施例〕

次にこの発明の一実施例を図面を参照して詳細に説明する。まず第1図に本発明方法により製造された半導体装置の完成構造を示す。すなわち、1はP型半導体基体、2, 2', 2''は分離領域で第1および第2のトランジスタ3, 3'を分離形成する。4, 4'は埋入層(N⁺型)でこれに連接するコレクタ領域導出領域5, 5'によって第1および第2の夫々のトランジスタのコレクタ領域3c, 3c'が導出される。また3b, 3b'は前記コレクタ領域が基体表面に占める一部にP型不純

物のボロンを拡散導入してなる第1および第2のトランジスタのベース領域、さらに前記ベース領域の基体表面に占める一部にn型不純物を拡散導入して形成された第1および第2のトランジスタのエミッタ領域3e, 3e'が設けられる。各領域またはこの導出領域の基体表面に占める一部には、この基体表面に被着され保護層を兼ねる電気絶縁層6に設けられた開口には金属層を被着形成した電極7e, 7b, 7c, 7e', 7b', 7c'が配設されてなる。

次にこの半導体装置製造工程を第2図ないし第11図に断面図示する製造工程図により説明する。

まず第2図のようにP型の半導体基板1にN型埋込層4, 4'を形成し、13c, 13c'はN型エピタキシャル層を形成した後、拡散によつて分離領域2, 2', 2''を形成することにより第1および第2のトランジスタの夫々のコレクタ領域13c, 13c'を形成する。また、例えばSiO₂からなる電気絶縁層6は、その層厚を小さくしておきたい部分をSi₃N₄で選択的に被覆して選択酸化を行なうことによつて約6000Åの厚い埋込み酸化膜部分を形成したのち、Si₃N₄を除去し全般的に酸化を施して約3000Åの薄い酸化膜部分を形成して得られる。

次に第3図のように前記SiO₂層6の露出面にレジスト層10を被着し、これに第1のトランジスタにおける深いベース領域形成予定部に開孔10bを設ける。ついで加速電圧100KeV、ドーズ量 4×10^{14} atom/cm²にてボロンをイオン注入しイオン注入層13bを形成する。この場合、前記ベース領域形成予定部以外の電気絶縁層6の薄い部分はレジスト層10によつて上記イオン注入は防止され、レジスト層の開孔10b周縁の電気絶縁層は厚い部分であるためこれをマスクとして上記イオン注入層(ベース領域)の形状は電気絶縁層によつて決定されることになり、上記開孔10bの形状は高精度を要せず、したがつて開孔のためのレジストマスクは1まわり大型の開口部を有すればよく高精度の要がない。

次に第4図のようにレジスト層を除去したのち不活性雰囲気中にて1200°C、30分間加熱を施すことにより拡散深さ(xj)が約2.5μの第1のトランジスタ用ベース領域23bを形成する。

そして第5図のように第3図に示された工程と同様の手段にてレジスト層10'を被着し、開口10b'を設け、イオン注入法によりボロンを一例の加速電圧100KeV、ドーズ量 $3 \times 10^{14} \text{ atom/cm}^2$ にて注入する。この場合にも絶縁層6の厚い部分をマスクとして利用できるので開口10b'の大きさは所望より一まわり大型にできこの開口10b'形成に高精度を要しない。

その後第6図のようにレジスト層を除去し、不活性雰囲気中、900° ~ 1000°Cにて加熱を施すことにより拡散深さ(xj)が約1.2μに制御された第2のトランジスタ用ベース領域23b'を形成する。なお上記加熱処理は後のエミッタ領域拡散形成における熱処理にて兼ねることも可能である。ついで基体の正面にSi₃N₄層8を被着する。上記Si₃N₄層の形成はシランとアンモニアを用い800° ~ 850°Cにて所望の一例の層厚100~2000Åに形成する。このSi₃N₄層は精度の高い微細加工のマスクとして、さらに自己整合のマスクとしての役割を果たすとともに最終的に残すことにより、バシペーション層ともなる。

次に第7図のように前記Si₃N₄層8に開孔8e, 8b, 8c, 8e', 8b', 8c'を設ける。これには、プラズマエッチングによると容易で高精度に形成できるが、他の手段例えば低温CVDによるSiO₂層を積層被着し、これに開孔を施してマスクとなし熱リソウ酸にて上記開孔(8e ~ 8c')を形成する如くしてもよい。

次に第8図のように基体主面上にレジスト層20を被着し、これに開孔8eよりも1まわり大きい開孔を施し、Si₃N₄層の開孔8eをマスクとしてSiO₂層6をエッチングして開孔20eを設ける。

第9図のようにレジスト層20を除去し、N型不純物を拡散して第1トランジスタのエミッタ領域3eを形成する。上記不純物にはリソウ酸が用いられ拡散源にオキシ塩化リソウを用いる場合、1050°Cにて酸化性雰囲気中でオキシ塩化リソウを分解し添加しその後不活性雰囲気中1050°Cにて約20分間拡散を施してトランジスタの電流増幅率(β)が50~60になる如く制御する。また、リンドープドオキサイド層を用いるときは不活性雰囲気中1100°Cにて約20分間加熱拡散を施して(β)を50~60に制御しうる。さらにはイオン注入法にてN型不純

物を打込みしたのち熱処理を施すなどいずれも好適した。

次に第10図のように基体上面にレジスト層20'を被着し、第2のトランジスタのエミッタ領域形成予定部に開孔20e'を設ける。この開孔の形成要件は既述の第1のトランジスタにおけると同様にして達成される。

次に第11図のようにレジスト層20'を除去しN型不純物を導入して第2トランジスタのエミッタ領域3e'を形成する。この導入にあつては第1のトランジスタのエミッタ領域3eの不純物拡散がほとんど進まない条件が必要であり、一例としてリソウをイオン注入して40KeV $10^{16} \text{ atom/cm}^2$ で打込み不活性雰囲気中、950°Cにて30分間加熱を施し(β)を80~100に制御した。この際第1のトランジスタのエミッタ領域3eが若干拡散深さを増すことによる(β)の度動は一例の100~150に上昇した。上記関連にもとづき、第1のトランジスタのエミッタ拡散にあたり、(β)を所望の値に制御するために第2のトランジスタのエミッタ領域3e'拡散の熱処理により追加される加熱を見込んでおけば好適した値に管理できる。またオキシ塩化リソウを不純物に用いる場合900° ~ 950°Cにてリソウを添加し、不活性雰囲気中950°Cにて20~30分拡散を施しても上記イオン注入法にて得られた結果と同様の結果が得られた。

更に第12図のように第7図にて示した開孔8b, 8c, 8b', 8c'部のSiO₂層に対し、Si₃N₄層をマスクとして前記に対応する部位にエッチングを施して開孔し、他の開孔8e, 8e'とともに開孔内にて各領域に導接する電極金属層を被着したのち、所定のパターンに形成し電極7e, 7b, 7c, 7e', 7b', 7c'を形成する。

上記の如く、ベース接合の深さが2.5μと1.2μのトランジスタを一基板上に所望の特性に制御形成する手段を例示したが、エミッタの不純物源をリソウのみではなくヒ素(As)まで用いるとベース接合の深さが所望の値に形成でき、しかもトランジスタ特性を充分所望の値に制御できる。

次に分離領域2, 2', 2''が存在しない構造においてはエミッタ拡散のための開孔20e, 20e'を形成する際に、開孔8c, 8c'が設けられコレクタ領域電極取り出しのための高濃度層を上記と同時に設けることができる。

7

8

〔発明の効果〕

上述の如くして互に独立し所望の特性になる領域が形成できるので、一基板に周波数帯域の異なるトランジスタを収めた構造の半導体装置が得られる。

また、ベース領域 $2\ 3\ b$, $2\ 3\ b'$ の形成に当つて、第1の電気絶縁層6の厚い部分が不純物導入のマスクとして利用されているために、フォトトレジストマスク精度を高精度にする必要がなく、そのベース領域形成が容易になる。更に、第1の電気絶縁層6とはエッティングスピードの異なる例えは Si_3N_4 のような第2電気絶縁層8を用いて、この第2の絶縁層8に、エミッタ領域形成兼エミッタ電極形成用の開孔及びその他の電極形成用開孔を同時に形成し、以後のエミッタ領域形成工程及

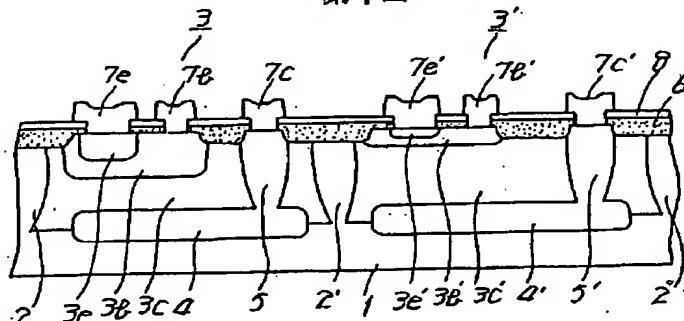
び電極形成工程におけるマスクとして利用できるようにしたので、各領域及び電極の位置合わせ精度が高く製造工程が簡略化される。またその結果微細加工ならびに超高集積化が出来るなど多くの効果が得られる。

図面の簡単な説明

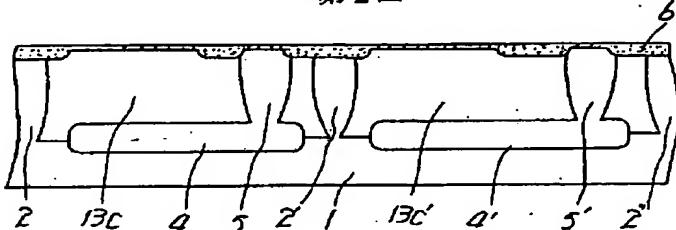
第1図はこの発明方法により完成された半導体装置の一部を示す断面図、第2図ないし第12図はこの発明方法の一実施例を示す製造工程断面図である。

1……半導体基体、3, 3'……トランジスタ、3c, 3c'……コレクタ領域、3b, 3b'……ベース領域、3e, 3e'……エミッタ領域、4, 4'……埋込み層、6……電気絶縁層(SiO_2 層)、8……電気絶縁層(Si_3N_4 層)。

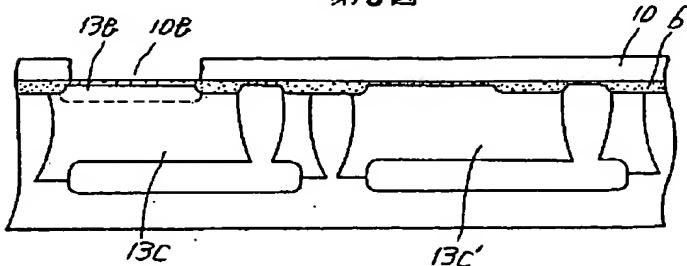
第1図



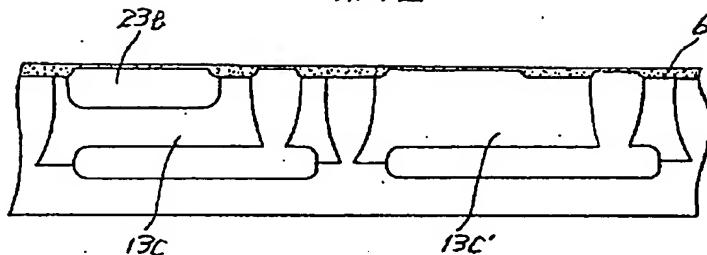
第2図



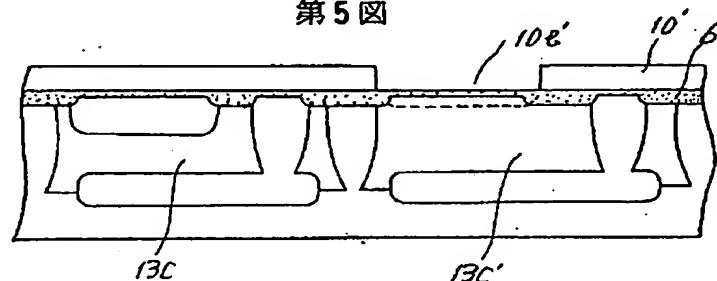
第3図



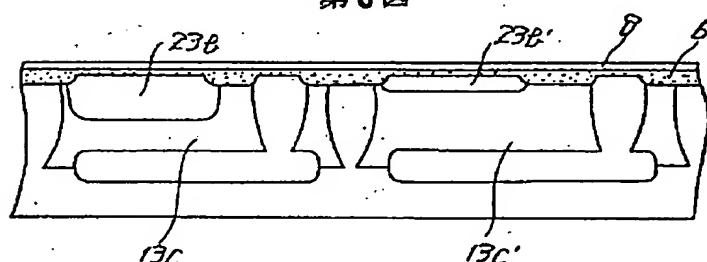
第4図



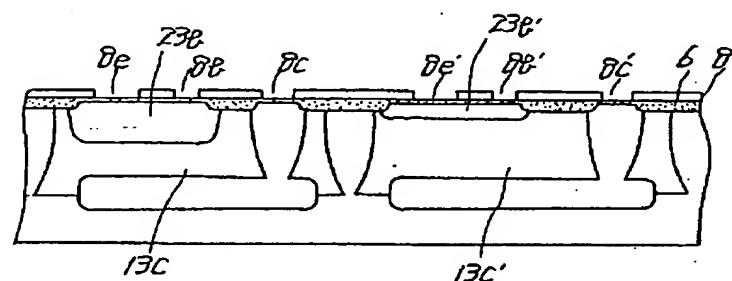
第5図



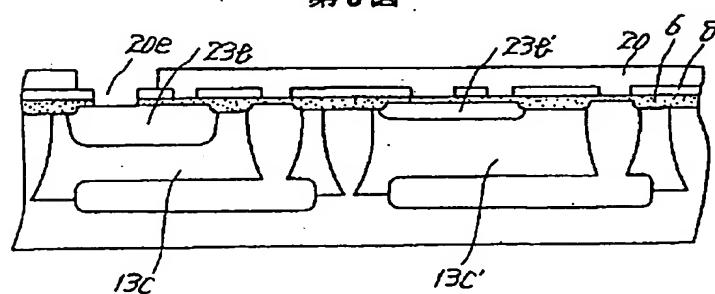
第6図



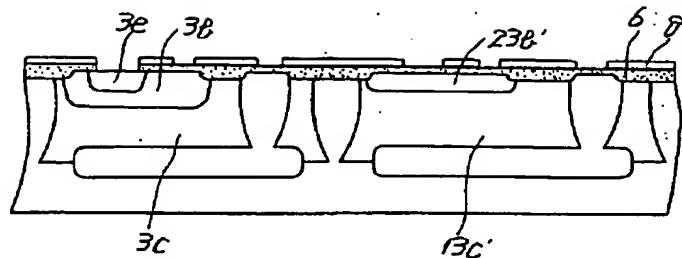
第7図



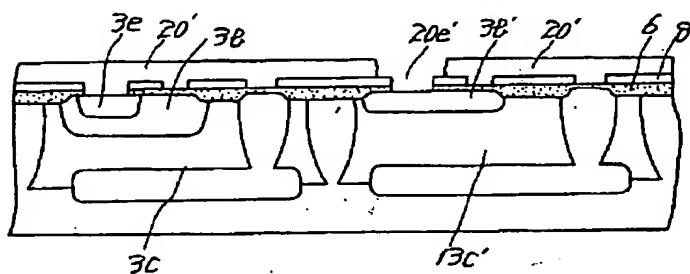
第8図



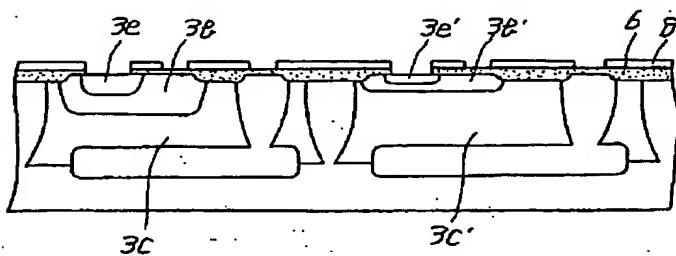
第9図



第10図



第11図



第12図

